

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **59110280 A**(43) Date of publication of application: **26.06.84**

(51) Int. Cl.

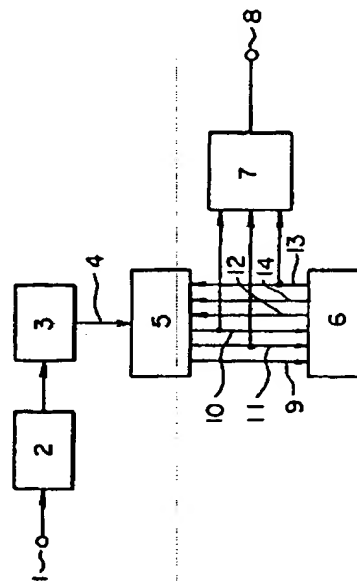
H04N 5/06
H04N 5/08
(21) Application number: **57219219**(22) Date of filing: **16.12.82**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **SUZUKI TAKAO**(54) **PROCESSING CIRCUIT OF HORIZONTAL SYNCHRONIZING SIGNAL**

COPYRIGHT: (C)1984,JPO&Japio

(57) Abstract:

PURPOSE: To eliminate the need for a capacitor and to realize semiconductor integration by detecting a horizontal synchronizing signal in a composite synchronizing signal through digital processing.

CONSTITUTION: The composite synchronizing signal is inputted to a noise eliminating circuit 2 through an input terminal 1 and a composite synchronizing signal after some of noises are removed is outputted to a trailing edge detecting circuit 3. The circuit 3 detects a trailing edge pulses of composite synchronizing signal and outputs to the circuit 5. The circuit 5 controls a counter 6, which outputs 1.05 signal to a horizontal synchronizing signal generating circuit 7 through a signal line 13. The circuit 7 inputs a trailing pulse in abnormal mode and a trailing pulse in normal mode respectively and a horizontal synchronizing signal with constant width is derived to a horizontal synchronizing signal output terminal 8. Consequently, the horizontal synchronizing signal is detected in the composite synchronizing signal through the digital processing.



ル回路。6はカレント・7は水平同期信号発生回路。8は水平同期信号出力端子である。先ず、このように構成された本実施例の動作の概略について説明する。ノイズ除去回路2は複合同期信号に含まれるノイズの一部を除去した上、そのノイズの一部を除去した複合同期信号を立下りエッジ検出回路3に出力する。ノイズ除去回路2から1出力、複合同期信号の立下り域を検出する。

出るとすると、立上りエッジレベルを立下りエッジレベルと供給線４を介してコントローラに出力することにより、図１（参照）で示されるノイズの除去と水平同期信号の下ロップアランプの検知として波形一致を行って、番号線９を介して出力する。この時、番号線８は正正常な位置から下側の立ち上がりエッジレベルと番号線１０を介して出力する不正常な位置からの立ち上がりエッジレベルとが異なるタイミングでの立ち上がりエッジレベルを介して出力され発生回路７に出力する。

カクタツタ６では、コントローラ５から入力したカタツタ制御信号によって傾倒されて、番号線１２を介して出力する。0、93Hバリス(但し、Hは水平同期信号の周波数、以下「H」という)を、番号線１３を介して出力する。1、05Bバリス、番号線１４を介して出力する。1Wバリスとそれらなるタイミング信号を、コントローラ５に出力すると共に、番号線１３を介して出力する。1、05Bバリスからは、タイミング信号を水平同期信号発生回路7に出力する。更にこれと共に、カタツタ6からタイミング信号が入力されると、一定周期の水平同期信号を水平同期信号出力端子より輸出する。

第2図はこの本発明の一実施例としての、第2図において第1図の符号と同一の部分とは同一部分を示すもので、15は複合同期信号よりも辛分に高い増幅率、例えば数倍程度のクロック分入力が入り込むクロソバルス入力端子、16、17、18及び19はDタイプフロッグ・フロプ、20はAND回路である。

以下、第2図に示した回路の動作について説明する。直列に接続され、AND回路20に並列に接続されている。このため、4つのDフリップ・フロップ16, 17, 18及び19は、入力端子1から4までの信号が順次入力されたDフリップ・フロップ16, 17, 18及び19の全てが信号"1"を出し、又AND回路20は、4つのDフリップ・フロップ16, 17, 18及び19の全てから"1"レベルの信号を入力すれば、立下りエッジパルスと供給線4に、"1"レベルの信号、即ち立下りエッジパルスとを出力する。ところで、AND回路20の入力端子は、Dフリップ・フロップ16及び17の信号線と出力線とを共有している。このため、AND回路20の入力端子は、このたがれば、Dフリップ・フロップ16, 17, 18及び19の全てが"1"、"1"、"1"の信号が入力された、Dフリップ・フロップ16, 17, 18及び19の全てが"1"レベルの信号を出力して、AND回路20が立下りエッジパルスとを出力する。

[illegible]

複合同期信号の水平同期信号成分 (1) が入力端子 1 に入力したときに、前述した如く AND回路20は、複合同期信号の水平同期信号成分 (1) の立下り部を抽出し、第3図 (b) に示すように正相および反相の二つのパルスを出し、第3図 (b) に示すように正相および反相の二つのパルスを立下りエッジパルス供給線4に出力する。又、クロックパルス1の周期において2周期未満の周期の複合同期信号のノイズ信号成分 (2) が入力端子 1 に入力したときには、4つのDフリップ・フロップ16, 17, 18及び19にそれぞれ "H" の信号が入力しないので、AND回路20は、複合同期信号のノイズ信号成分 (2) の立下り部を立下りエッジパルスとして抽出せず、第3図 (b) に示すように、立下りエッジパルスを立下りエッジパルス供給線4に出力しない。即ち、クロックパルス1の周期において2周期未満の周期の複合同期信号のノイズ信号成分 (2) によって除去される。

更に、クロックパルス1の入力したときに、4つのDフリップ・フロップ16, 17, 18及び19にそれぞれ入力端子 1 に入力したときに、2周期以上の周期の複合同期信号のノイズ信号成分

れぞれ「L」、「I」、「F」の信号が入力してしまふので、AND回路201は、水平同期信号のノイズ成分(ⅰ)の立下り鋭角を検出して、第3図(b)に示すように、立下りエッジシブパルスを立て下りエッジ付供給を輸出して、第3図(c)に出力してしまう。即ち、第3図(d)の周期以上の周期の複合同期信号のノイズ成分(ⅱ)は第2図に示した回路では除去されない。

更に、水平同期信号の周期において4周期以上の周期の複合同期信号の文組符号成分(三)が入力端子1に入力したときには、4つのDフリップ・フロップ6, 7, 18及び20でそれぞれ、第3図(e)の信号が入れ込まないので、AND回路201は、第3図(f)に破線で示した箇所に本来存在するはずの複合同期信号の文組符号成分(二)の立下りを輸出できず、第3図(g)の破線と示したような立下りエッジシブパルス(ホ)は第2図に示した回路でなく、第2図に示した回路は、クロックパルスの周期において2周期未満の周期の複合同期信号のノイズ成分(ⅰ)を除き、実地線のデジタル回路5の具体例を示すもので、第4図においては第1図の本体と同じ二つの符号の部分には同一部分を示す。

第4図(a)はAKSフリック、22, 23, 26, 28, 29, 32, 33, 35及び36はAND回路、24, 27, 27, 27及び34はAKSフリック、31は4ビットカウンタである。

[illegible]

としたのは、後述するように、複合同期信号に同期変動に生じて、0.5dB/Vを要する位が本来のHの位相である。0.95〜0.98の範囲内（以下、複合同期信号のHの0.5、0.65の範囲内）の位相は、多少の誤差を考慮したもので、複合同期信号のHの0.5、0.65の複合同期信号成分（1）の立下りエッジレベルの位置付近に存在する複合同期信号の立下りエッジレベルを抽出し、0.95〜0.98の範囲から外れた（以下、単同期領域内）という位置に存在する複合同期信号の立下りエッジレベル（N）を、ノイズと判断して除去するためである。AND回路22は、立下りエッジレベル供給線4から立下りエッジレベル（RS71）と、フロッグ21に、エッジ信号が入力する（0.95dB/V）と、エッジ信号が入力する（0.65dB/V）の範囲内（以下、エッジレベル供給線4から入力する水平同期信号成分（1）の立下り

[illegible][illegible]

[illegible]

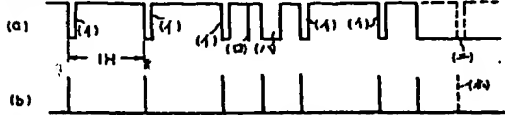
尚、非正常モードにおいて、縦関に限らずに全ての立下りエッジに基づいて水平同期信号の発生させるのは、同期していかない状態では、どの信号が正しく、どの信号がノイズ重畳かを正確に判断できない上、本来の水平同期信号成分を除去するよりは、ノイズが重畳されている方がよいからである。本発明の水平同期信号処理回路とが同期する正常モードでは、このように、複合同期信号の立下りエッジパルスで水平同期信号を発生させない上、ノイズを除去することができ、又、複合同期信号に欠損信号成分があっても、最初の水平同期信号は1.05H同期で、2つ目以降の水平同期信号は1H同期で補償することができる。

(発明の効果) 以上説明したように、本発明によれば、複合同期信号からデジタル処理で水平同期信号の検出を行うことができるため、誤動作がなく、しかも、欠損信号成分に対する水平同期信号の補正もできるという効果がある。

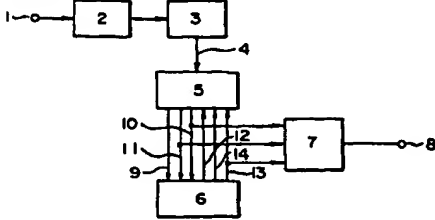
更に、デジタル回路で構成できるので、コンデンサが不要となって、半導体集積化に好適であるという効果がある。

図面

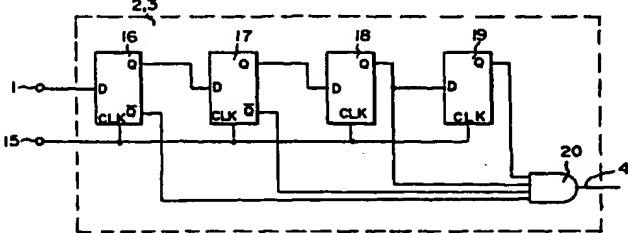
【第3図】



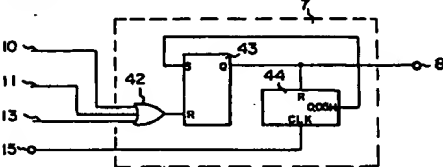
【第1図】



【第2図】



【第6図】


<http://www.ipdl.jpo.go.jp/Tokujitu/tjitemont.ipdl>

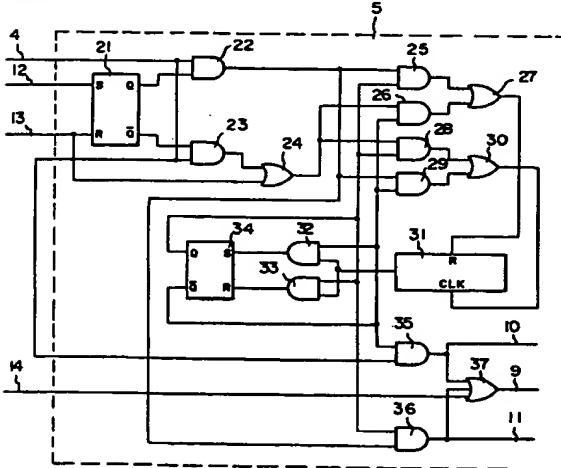
01/02/24

<http://www.ipdl.jpo.go.jp/Tokujitu/tjitemont.ipdl>

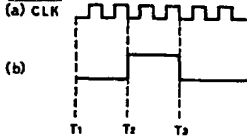
01/02/24

2/3 ページ

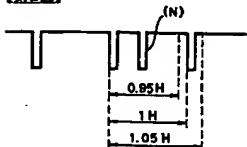
【第4図】



【第7図】



【第8図】



【第5図】

<http://www.ipdl.jpo.go.jp/Tokujitu/tjitemont.ipdl>

01/02/24